



化学工学会エレクトロニクス部会ニュース増刊号をお届けします。内容は、2021年12月7日に開催されたエレクトロニクス部会主催先端技術シンポジウムの概要です。

次世代半導体の展望 ～原理と生産技術～

2021年度エレクトロニクス部会シンポジウム（エレクトロニクス先端技術シンポジウム）を、12月7日にオンライン開催いたしました。今回のシンポジウムでは、ポストコロナ時代における半導体デバイス製造～実装技術、及び半導体マーケットを概観し、シングルナノメートルに迫る加工技術と、ブレイクスルーのすすむ新構造デバイスに焦点を当てた構成といたしました。

ご参加いただいた参加者の皆様方と講師の先生方、ならびに協賛いただいた電子 SI 連絡協議会(ESIC)、表面技術協会、エレクトロニクス実装学会(JIEP)、日本電子回路工業会(JPCA)、スマートプロセス学会 エレクトロニクス生産科学部会(MSTE)、よこはま高度実装技術コンソーシアム(YJC)、NPO 法人サーキットネットワーク(C-NET)、IEEE EPS Japan Chapter、化学工学会関西支部、同反応工学会 CVD 反応分科会の各機関に、この場を借りて御礼申し上げます。

■シンポジウムプログラム

講演題目	講師	所属
半導体開発の動向と次世代コンピューティング基盤戦略	安田 哲二 様	産業技術総合研究所 エレクトロニクス・製造領域
EUV HVM status and the roadmap (EUVの量産状況とロードマップ)	森崎 健史 様	ASMLジャパン テクニカルマーケティング
シングルナノ世代のCMP技術	近藤 誠一 様	昭和電工マテリアルズ株式会社 情報通信事業本部 研磨材料事業部
ウエハ洗浄における乾燥技術の過去・現在・未来 －次世代半導体実現への挑戦－	高橋 弘明 様	株式会社SCREENセミコンダクターソリューションズ 洗浄開発統轄部
2次元層状物質のデバイス応用の現状と将来展望	長汐 晃輔 様	東京大学大学院工学系研究科 マテリアル工学専攻
3D-IC/TSVの最新動向と自己組織化による三次元実装／ ヘテロ集積	福島 誉史 様	東北大学 大学院工学研究科

開催日 2021年12月7日（火）

場所 オンライン (Zoom Webinar)

■各講演の概要

半導体開発の動向と次世代コンピューティング基盤戦略

産業技術総合研究所 安田 哲二様

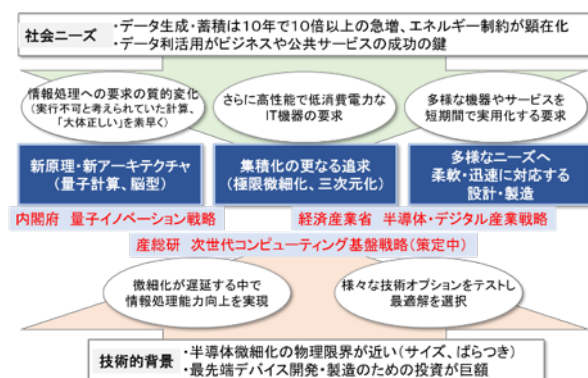
インターネットトラフィックはこの10年で10倍以上に増えており、2020年には全世界で59ZB（ 59×10^{21} B）のデータが生成された。これは世界の1人1人が2ヶ月ごとに1TBのストレージを満杯にしている計算であり、今後もデータ量は指数関数的に増えると予測されている。これに伴い、多量のデータを扱うデータセンターやその運用に要する電力も増加し続けることになるが、ゼロエミッションの観点からも運用に困難が生じ、データの利用が十分に行えない可能性もある。また経済安全保障の観点から、世界各国で半導体産業の振興策がすすめられており、米国、欧州、中国、韓国、台湾で国家予算による大規模な投資が行われている。日本の半導体産業は、かつての繁栄ぶりは見る影も無いと言われるが、一方で製造装置やウエハ、材料などの分野では日本のシェアは高い。先端ロジック半導体の設計や製造では確かに米国や台湾に遅れを取るものの、それ以外の分野では依然として高い存在感を示しているのが事実であり、国も半導体・デジタル産業戦略として、「デジタル産業」「デジタルインフラ」「半導体」に大規模な予算投入を行う計画である。

増大を続けるデータの処理には半導体の高集積化が不可欠である。大きな技術的な潮流として、(i)微細化は減速しつつも継続、(ii)三次元化による高集積化、(iii)実装技術による高機能化の進展が挙げられる。先端ロジックでは、マルチコア化によりクロック周波数を大きく変えずに処理能力を飛躍的に高めてきた。2025年頃には新トランジスタ構造のナノシートFETの実用化が進展し、オフ電流の削減やシート縦積みによるフットプリント削減がすすめられる。次世代のDRAMでも縦型構造の導入が有力である。3次元が既に進んでいるNANDメモリでは、成膜とエッチング技術により100層もの多層化による高集積化が適用される。不揮発メモリでは、エンベデッドMRAMが普及開始すると見られている。その他、ウエハ貼り合わせ技術の進展により、Cu-Cu直接接続によるチップ間接続や、ウエハ同士の貼り合わせの適用が拡大する。また実装による高機能化として、チップ間・チップ内の光伝送や、光による計算処理

次世代コンピューティング基盤



大規模データの利用拡大と半導体微細化の限界



などもすすむ。

このような情勢の中、産総研では高い競争力を持つ国内装置メーカーや材料メーカーとともに、ナノシート型FETへのパラダイムシフトに対応した研究開発を主導する。また3D-ICの分野ではTSMCジャパンと、ダイレクト接合3D積層技術開発の分野では技術研究組合RaaSの共同研究先としてプロジェクトを推進する。これらのプロジェクトを通じ、材料、デバイス分野の強みを活かし、また日本が現在持っていない技術を獲得し、世界規模でWin-Win関係を構築しつつコンピューティングや半導体分野での競争力強化を目指す。

EUV HVM status and the roadmap (EUV の量産状況とロードマップ)

ASML ジャパン 森崎 健史様

EUV(Extreme Ultraviolet)光を用いた露光技術は、ロジック半導体を皮切りに 2018 年後半頃から量産適用が始まっており、アップルの A14 チップなどがその適用例となる。最先端の微細化が進んだデバイスでは、EUV の適用により、成膜やエッチングを併用するダブルパターニングと比べてシンプルな露光が可能となる。EUV 露光ではダブルパターニング用の成膜装置等も不要となるため工程全体で見たフットプリントが小さくなり、また工程もシンプルとなることから、サイクルタイムやマスク数の削減が期待される。さらにマルチパターニングを行う場合と比較すると、仕上がりのばらつきが小さい点も特徴である。このため、コスト面や歩留り、特性面で高価な装置価格を十分に回収することが可能な技術である。微細化の速度は緩やかになっているとはいえ、少なくともこの先 10 年以上は続くと見られている。EUV の適用により、露光波長は ArF の波長 193 nm から、一気に 13.5 nm へと短波長化され、微細化のトレンドを牽引する。

EUV 露光では、その波長から光の散乱や吸収を避けるために、光が通る部分はすべて真空とする必要があり、また光学系はすべてミラーで構成される。発光は、スズの液滴を 1 秒間に

5 万回発射し、CO₂ レーザの照射によりプラズマ状にして集光を行う。このような EUV 露光装置は総重量 180 トンを超え、ケーブル長も 2000m に達する。このため、パーツの輸送には、ジャンボ機を 3 機要する。

露光装置としてスループットを高めるためには、光源のパワーを高めること（現状 250W）、マスク上のゴミ対策、低屈折率のマスクにより必要な露光量を下げることが重要であるが、中でも効果的なのは、レジストの感度を高めることである。最新機種 of NXE3600D では、30 mJ/cm² の露光量で毎時 160 枚の処理が可能であるが、露光量を 20 mJ/cm² に下げることができれば、1 時間あたりの処理枚数は 180 枚に増大する。露光量を下げするためには、レンズの高 NA 化も有効である。高 NA レンズでは結像のコントラストを高めることになるため、必要な光量を下げることができる。EUV 用のレンズは 1 m サイズであるが、このサイズで、表面の凹凸を±20pm レベルで制御する必要がある。これは、地球サイズと比較すると、髪の毛 1 本のレベルに相当する。これらレジストやレンズなどの周辺技術の進展を考慮し、毎時 220 枚の処理を行うことも視野に入れている。

NXE:3600D
Enabling 1.7nm On Product
Overlay at increased productivity
of 160 WPH (30 mJ/cm²)

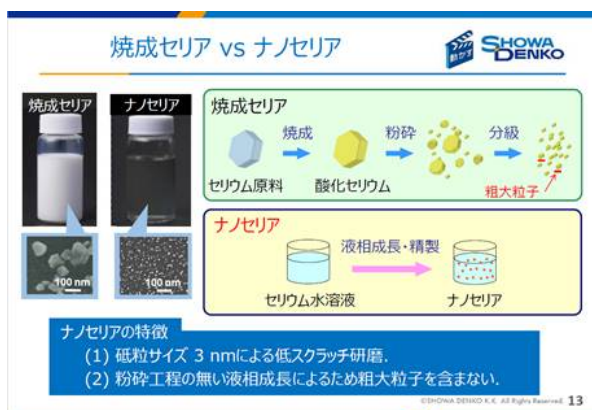


シングルナノ世代の CMP 技術

昭和電工マテリアルズ株式会社 近藤 誠一様

半導体市場は過去 30 年間で 10 倍に拡大している。これは、市場の拡大に伴い処理されるウェハ数も増えていることを意味しており、CMP 工程で処理されるウェハ数も、同様に増大している。またウェハの枚数だけではなく、1 枚あたりのウェハに施す CMP の回数も増加している。特に 7 nm 世代のロジック半導体や最新の 3D-NAND フラッシュメモリでは CMP の回数も 30 回を超えるため、1-2 分程度の短時間で、次の露光に耐えうるレベルの平坦性を確保することが不可欠となる。CMP において重要なことは、高い研磨速度、スクラッチが無いこと、高い平坦性などが挙げられるが、この他にも選択比、平坦化

効率、研磨残り、後洗浄性、メタル腐食なども重要な要素である。CMP の高速化のためには、対象面全体を CMP で削るのではなく、レジストマスクとエッチングにより、予め CMP で削る部分を減らしておく場合もある。CMP で研磨する面には一般に段差が生じているが、事前のエッチバックでこれのある程度除去しておき、凸部となった段差の端部を中心に CMP で除去する。こうすることにより研磨面積は小さくなり、高速化が可能となる。また特殊な添加剤により、凸部の研磨が終了した段階で自動的に研磨をストップさせることも可能である。



CMP の研磨材に使用されるセリア（セリウムの酸化物）は 3 価・4 価両方の価数を取るが、CMP では不安定な 3 価が寄与していると考えられている。このときセリアの砥粒サイズを小さくすると研磨速度が下がり、逆に大きくすると研磨キズが発生することからサイズの制御は重要である。セリアには、焼成セリアと、水溶液から液相成長したナノセリアがあり、3 nm 程度の砥粒サイズを有するナノセリアはスクラッチがほとんど発生しないのが特徴である。加えて、添加剤や pH 値により、ゼータ電位をコントロールすることがノウハウとなる。CMP では、ドライエッチングと異なり明瞭な理論があるわけでは無いため、砥粒のサイズや添加剤によるスラリの調整は、シミュレーションを併用しな

がらノウハウ的に行われている。CMP で用いられる研磨パッドも、表面層にはスラリを保持するための同心円状の溝や、XY 溝がもうけられる。研磨速度を上げるために表面層は硬い材料（100um 径の空孔を持つ発泡ポリウレタン）が用いられることが多く、発泡部分にスラリが保持される。またパッドの下層にはクッションの役割をする軟質層が用いられる。CMP では、このように研磨対象の前処理、砥粒の粒径分布、スラリの化学的性質の調整、研磨パッドの構造により、高速、且つ平坦な研磨を実現する。

CMP は、後工程においても重要な役割を担う。通常、CMP では研磨面を平坦化させることが目的であるが、メモリやロジックの TSV 接続では、CMP 時に敢えてメタルプラグを数 nm だけディッシングさせ、その後の熱処理によって高さを微調整して接続しやすくする。これは CMP 時のメタルと絶縁層の選択比を H_2O_2 濃度により制御することで実現され、次世代の接合技術に欠かせない方法である。またパッケージング向けの CMP では、封止樹脂を CMP により平坦化し、その上に再配線層を形成する必要がある。封止樹脂の研磨では、従来行われていた機械加工では表面の平坦性に限界が生じることから、CMP を適用する必要性が高まっている。封止樹脂の CMP においては、樹脂、シリカ、メタル（Cu）の非選択的な高速研磨があらたな課題となる。

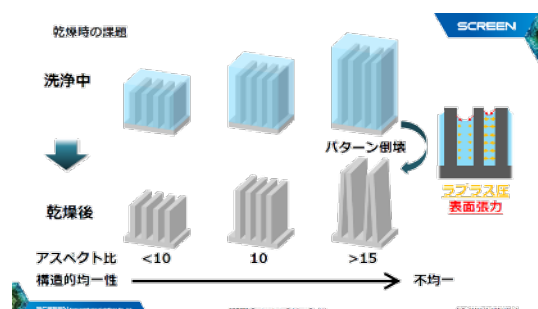
ウェハ洗浄における乾燥技術の過去・現在・未来 —次世代半導体実現への挑戦—

株式会社 SCREEN セミコンダクターソリューションズ 高橋 弘明様

ウェット洗浄の観点から、次世代半導体プロセスの課題について、歴史を踏まえつつ概観する。洗浄・乾燥技術は、500 年にも及ぶ歴史がある。古くは毛管現象の発見に始まり、表面張力や接触角の概念の発見、気液二相間の関係の研究、マランゴニ効果による対流の研究等を経て、1960 年頃には MEMS の高アスペクト比パターンにおけるパターン倒壊の問題に対して表面改質と昇華乾燥を組み合わせた昇華乾燥技術を適用し、その後超臨界乾燥技術へと発展してきた。

微細パターンの洗浄・乾燥時には、特にアスペクト比が 10 を超える場合、パターンの倒壊が顕著となる。これは洗浄液である水が蒸発する際に、表面張力やラプラス圧により、パターン間に応力がはたらくことに起因する。昇華乾燥技術は、液相を固化（凍らせる）し、減圧下で昇華させることにより水分を除去する技術である。液相が蒸発する際の応力を受けにくい点が特徴であったが、微細パターンでは倒壊が避けられなかった。そこで昇華乾燥の過程を詳細に調べたところ、パターン倒壊は液

体の冷却固化時に起きていることがわかった。これは、特に狭い領域では、凝固点が変わってしまうため、微細部分では昇華では無く蒸発乾燥している可能性があることを示唆する。そこで更に基板表面における固化挙動や界面自由エネルギーを更に詳細に調査し、固体と基板の接触角が小さいほどパターンの倒壊率が低下することを突き止めた。これを受けて、界面自由エネルギーのバランスを満たす薬液を選定することにより、パターン倒壊が抑制される昇華乾燥技術を確立した。次世代の微



細デバイスでは、水ではなく、薬液を用いた昇華乾燥がキー技術となる。

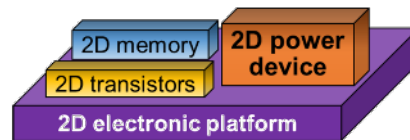
2次元層状物質のデバイス応用の現状と将来展望

東京大学大学院工学系研究科 長汐 晃輔様

代表的な二次元物質であるグラフェンは、バンドギャップを有しないため FET としての応用は困難とされてきており、二次元デバイスは、一時世間の興味を失った時期もあった。しかしながら MOSFET へのナノシート適用が現実となる中、IMEC や TSMC は二次元デバイスの実用化を諦めておらず、カーボンナノチューブやグラフェンで培った技術と理解を、 MoS_2 など新たな二次元デバイスに適用しようとしている。このような中、2021 年には、Fudan Univ のグループより MoS_2 をチャネルとして使用したナノシートトランジスタで最高レベルのトランジスタ特性が報告されるに至っている。

Si に対する二次元材料の優位性は、チャネルの厚さの影響（寄生容量）の無視できない FINFET と比較してゲート容量が絶縁層の容量と等しくなる点であり、高速で大きな ON 電流が確保出来る点にある。また二層の MoS_2 では、短チャネル効果に強いことが実証されている。絶縁層として h-BN を使用することも特徴の一つであり、これにより二次元層との界面準位密度を極限まで下げることが可能となる。実際、グラファイト基

将来展望：2Dプラットフォーム

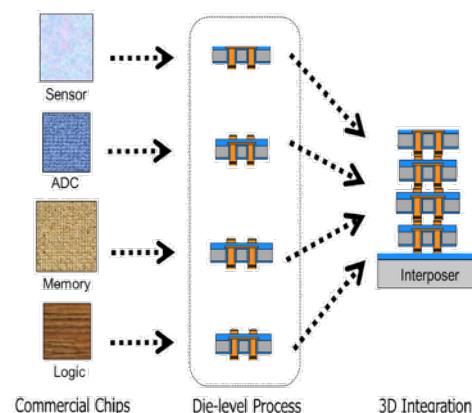


板上に形成した h-BN/ MoS_2 のフラッシュメモリで、50 nsec の書き換え速度が報告されている。また All 2 次元の n- MoS_2 /p⁺- MoS_2 で構成した TFET において、サブスレッショルド・スイング値 $SS < 60\text{mV/dec}$ が報告されており、従来の MOSFET の限界とされている SS 値を越えることが実証されている。このことから、低消費電力の面でも二次元デバイスの優位性が示されている。将来展望として二次元のプラットフォームを想定しているが、そこに至るまでの課題として、High- κ 材料との界面制御やドーピングなど無数に山積しており、一つずつ解決が必要である。

3D-IC/TSV の最新動向と自己組織化による三次元実装／ヘテロ集積

東北大学 大学院工学研究科 福島 誉史様

ムーアの法則のネクストステージとして、TSV を使用した 3D-IC への注目が高まっている。中でも個別にパッケージ化された小さな機能を相互接続して大きな機能を構築するチップレットは経済的であり、注目を集めている。また既存開発品の回路を機能ブロック単位で集積化すると、各ブロックの機能は個別に開発せずとも IP 利用料を支払うなどで利用することが出来るため、全体機能の開発効率も向上する。チップレットは、フットプリントこそ増大するが、全体で見ると低コスト化と高機能化が両立できる概念であり、目的に応じた機能を有する SoC ともいえる。TSMC においても、CoWoS (Chip-on-Wafer-on-Substrates) として Si インターポーザや、再配線を形成したインターポーザ、実装基板を使用したチップレット構造が示されている。東北大学では、GINTI と呼ばれる 300 mm ウェハを用いた TSV ラインで、チップレットに適用される技術開発を行っている。具体的には、3D-IC の試作に加えて、TSV のスケールアップやマイクロポンプ、長くなるグローバル配線を三次元化により短くす



る技術などである。また Cu-Cu のハイブリッドボンディングなどチップをウェハ上に搭載する技術も盛んに研究しており、異方導電性無機薄膜 (iACF) を用いて Cu 電極の直径 3 μm 、ピッチ 6 μm の微細接続も報告されている。

これらの技術を用いて、ヘテロ集積と呼ばれる異なる機能を有するチップ同士の三次元集積も実証している。その他東北大

学では、液体の表面張力を利用した自己組織化実装技術の開発も進めている。この手法は、接統界面の疎水性、親水性をコントロールすることにより実装するチップを自己組織化的に配置するものであり、リソグラフィの精度レベルで、予めわかっている KGD (Known Good Die) を選択的にアセンブルすることが可能である。これらの技術は、3D-IC だけでなく、 μ LED ディスプレイなど広い範囲に拡張可能な高い潜在性を有している。

今後 AI 社会の本格的な到来により、HPC やモバイル用途だけではなく、量子コンピュータやポスト 5G/6G、アナログ/デジタル混載の新しい半導体システムへの適用が期待され、世界中で研究開発競争が激化すると予想される。この中心となるのが 3D-IC であり、ヘテロ集積である。今後もこの分野の動向に目が離せない状況である。

※以上の内容は、シンポジウム後に事務局で作成したものです。

認識間違いや要点のずれなどがある場合があること、予めご承知おください。

■あとがき

本年度の化学工学会エレクトロニクス部会シンポジウム（エレクトロニクス先端シンポジウム）も、盛況のうちに終えることができました。ここ 2 年つづいた 5G 関連のテーマから、今回は半導体へと一新しました。80 年代の活況からは信じられないくらい元気がない日本の半導体産業ですが、今回のシンポジウムを通じて、装置や材料の分野では依然強みがあり、またパッケージングや次世代デバイスの分野でも、期待の大きな技術が春の芽吹きを待っている、という期待のできる状況であることが、良く理解できた有意義な時間となりました。参加いただいた皆さまのご感想はいかがでしたでしょうか。

さて世の中を見渡してみると、新型コロナウイルスの流行も落ち着いてきたと思っ矢先、新たな変異株の登場など、依然先の見通せない状況が続きます。また世界的な半導体不足に引きずられる形で、自動車や電機、医療などあらゆる産業に影響が及んでいます。さらに米中の緊張と台湾問題と言った国際政治からも目が離せません。特に台湾は半導体の一大供給地であり、ここに何かあれば半導体「不足」では済まない状況になることは想像に難くありません。グローバル化で色々なものが結果的に海外に強く依存するようになった結果、海外の情勢が私たちの生活に直結する傾向はますます強まっています。自動車が便利だからと言って自動車で頼る生活が続けると、途端に人間は「歩く」という基本機能がダメになってしまいます。産業も同様で、海外に頼りすぎると、肝心の日本そのものが立ちゆかなくなってしまいます。今回のシンポジウムを機に、あらためてグローバル化と日本の立ち位置を気にかける必要があることに気づかされました。

あらためまして、参加者の皆様と、ご講演いただいた講師の先生方に、御礼申し上げます。

新年の皆様のご多幸とご活躍を、祈念いたします。

今後とも、化学工学会エレクトロニクス部会をどうぞお引き立ての程、お願い申し上げます。

★ご案内

例年ですとシンポジウム後に交流会（懇親会）を催して参加者の方と講師の方の交流の場としていますが、今回もオンライン開催のため、見送りとしています。講師の方にご挨拶やご質問・ご提案等のご希望がある場合、お気軽に事務局までメールにてご連絡ください。（連絡先 electro_div@chemeng.osakafu-u.ac.jp）