



化学工学会エレクトロニクス部会ニュース増刊号をお届けします。内容は、11月2日に開催された2018年第二回シンポジウムの速報です。

高密度基板の微細化技術 ～プリント基板はレーザビアからフォトビアへ～

2018年度2回目のエレクトロニクス部会シンポジウムを、11月2日に大阪科学技術センターにて開催いたしました。今回のシンポジウムでは、微細化の進むプリント配線板の技術動向や要素技術、設計技術に関する6件の講演が行われました。

ご来場いただいた皆様方と講師の先生方、ならびに協賛いただいた電子SI連絡協議会 ESIC、表面技術協会、JIEP、JPCA、MSTEの各機関関係者にこの場を借りて御礼申し上げます。

5 μm 以下の配線技術を使ったパッケージ

RTC (Rising Technologies Co., Ltd.) 代表取締役 明島 周三氏

高速メモリチップの多層実装では、10mm \square 程度のチップ面積に10,000ピンを超える bumps が形成される。このため bump サイズは微細となり、実装基板のデザインルールとの乖離が大きくなる。この問題に対して、基板とチップの間にインターポーザを介した、いわゆる 2.5D 実装が行われている。しかしながらこの構造は高コストとなるため、インターポーザを使用しない 2.1D 実装が検討されている。具体的には WLP の配線ピッチを広げた FOWLP の採用や、実装基板側に 5 μm 以下の微細配線形成を要求し、インターポーザを使用せずに実装を行うものである。本講演では、FOWLP 各方式の特徴・課題の解説と、新 3D-FOWLP と呼ばれる、フォトビアを使用し、銅ピラーや CMP が不要となる新技術の紹介があった。

Chip-1st タイプの FOWLP は微細化の面で限界 (10-20 μm) があるが、Chip 接続と再配線形成をめっきで化学的に同時に行うことが可能であることから、コスト面で優位性がある。また Chip-last (RDL-1st) の FOWLP は、プロセスコストは高い



が微細な配線形成が可能であり、高密度な再配線 (RDL) が必要な場合に有利である。両者は要求仕様・性能とコストとのバランスで選択される。最近注目される新 3D-FOWLP は、DAF で基板に搭載したチップに、感光性が有り柔らかい樹脂を被せ、フォトビアとめっきによりチップ接続と微細配線形成を行うものである。近年の材料技術の発展に伴い、段差のあるチップを埋め込んでも平坦性を維持できるフィルムが登場し、CMP を用いなくても平坦な配線形成が可能となった。

大型基板の高密度配線形成ソリューション

株式会社アルバック 森川 泰宏氏

AIや5Gが本格化するにつれて、取り扱うデータ量は飛躍的に増大する。データ量の増大に伴い、得られたデータを遅延無く処理することがますます重要となっている。3月に発生した米Uberの自動運転車における事故では、ブレーキをかけた痕跡がないまま人にぶつかっていたことがわかっており、多数搭載されたセンサで得た情報を処理する前に、事故に至った可能性が指摘されている。膨大なデータを遅延無く処理するためには配線を短縮し高密度化することが必須であり、そのためには材料や工法に工夫が必要となる。インターポザを使用しない2.1D実装やFOパッケージを使用した高密度実装では、LSIの後工程（配線工程）に匹敵する加工精度が基板プロセスに要求されるが、コスト面から考えると、部分的な半導体プロセスの導入が現実的である。

本講演ではビア形成後のドライデスマと、シード層形成へのスパッタの導入について紹介があった。ビアが微細になると、従来のウェットデ

スマでは基板が膨潤するなどの問題や、基板に含まれるフィラーの露出が問題になるが、この点プラズマを用いたドライデスマでは、ガスの混合比を最適化することにより樹脂とフィラーのエッチングレートをそろえ、平滑なビア側面を得ることができる。この他、めっき前のプラズマ処理により、表面のぬれ性を制御すると高い密着性が得られる、などの研究結果が紹介された。



高密度基板設計のためのCADツール

株式会社図研 長谷川 清久氏

基板技術の変遷に伴い、CADツールに求められる要求も変化してきている。従来は基板そのものの設計を行うことがCADツールへの要求であったが、近年は基板間や搭載するICなどとの接続性、筐体との関係性や放熱性など、単なる基板の設計に留まらず、基板の外部との関係性にも対応できる協調設計機能が求められる。同社主力のCR-8000 Design Forceでは、フォトビアや部品内蔵基板など先端技術への対応に加え、筐体全体の設計や、シミュレーションツールとの連携に対応した協調設計への対応が特徴である。たとえばICの設計情報を読み込むことにより、ICの多層配線情報を参照しながらパッケージ配線やPCB配線を設計することができるため、ICのチップ内配線から実装基板、メモリに至る一連の配線を全体最適化することが可能である。またICのバンプ配置やパッケージの配線、電源配線、周辺部品の配置情報等をANSYSなどのシミュレータで扱える形式で書き出し、放熱設計にフィードバックするなど、影響範囲を考慮しながらシステム全体の最

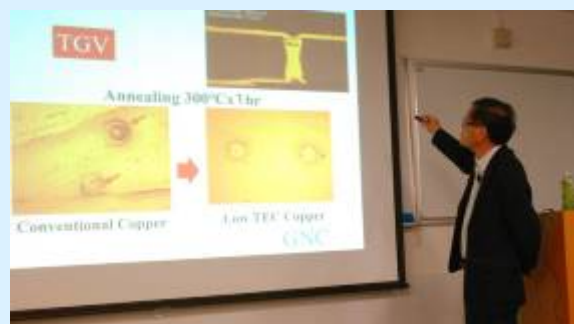
適設計が行えるようになっている。講演では、各機能の紹介に加え、基板と筐体の配置、フレキシブル基板の折り曲げ方を考慮した協調設計を行うことにより、組み立てやメンテナンスのしやすさを設計に織り込む事例が紹介された。さらに、本来の機能である基板設計について、CAM（エッチング補正機能）により、プロセスマージンやデザインルールを加味したティアドロップ付加や形状補正を、ある程度自動で行うことのできる機能の紹介があった。



ビア埋め込み用低線膨張めっき液

株式会社 微小めっき研究所・エレクトロニクス部会長 近藤 和夫氏

ビアフィルめっきを伴う Cu TSV 工程では、アニールの熱によりビア内の銅が盛り上がる「Pumping」という現象が知られている。これは銅とシリコンの線膨張係数の差異に起因するもので、他にもビア底のクラックなどの問題を引き起こす。このような現象を考慮して、ビアの周囲には Keep-Out-Zone と呼ばれるデバイスを配置できない領域を設ける必要があるなど、設計上も影響が大きい。同様の問題はガラスインタポーザや実装基板でも発生するため、配線の微細化を進める上で障害となる。近藤らの開発した低線膨張めっき液を使用すると、100°C 以上で配線長が温度変化しなくなり、その結果 Pumping などの現象が見られない。またこのめっき液を用いて形成した配線基板を、通常めっき液を用いた場合と比較すると、低線膨張めっき液を使用した場合の基板の反り量は通常めっき液を使用した場合の半分以下となっており、このとき、基板全体の線膨張率は 20 ppm→12ppm に低減した。これらの結果は、めっきで析出した銅の線膨張係数が実際に低いことを意



味している。この理由を調査するために本めっき液を用いて形成した配線を分析したところ、めっきで析出した配線銅の金属格子間に、炭素原子が析出していることがわかった。この炭素原子はめっき液の特定の添加剤に由来しており、析出した炭素原子はその後の熱処理により格子間から排出されるが、このときに銅の格子が縮小して熱膨張の影響を相殺することが低線膨張銅の起源であることがわかった。現在株式会社微小めっき研究所を立ち上げて、この技術の実用化をすすめている。

露光装置の大型基板への対応 株式会社 オーク製作所 佐藤 仁氏

WLCSP や FOWLP/PLP に用いられる露光装置には 2 μ m 以下の解像性が求められており、このため露光装置もステッパが使用される。ウェハ用とパネル用ステッパの光学系は基本的に同一であり、両者の主な違いは搬送系である。講演では、FOWLP/PLP 用のステッパが抱える技術課題とその解決について紹介された。ステッパの抱える課題は、大きく分けて①パネル、大径ウェハなど大型基板に対する露光位置合わせ精度、②大型基板の搬送や反り、③焦点深度と露光エリアの段差の相違、の3点である。位置合わせ精度の問題①に対しては、露光エリアごとの非線形の伸縮を読み取り、ダイごとにアライメントを行うことにより 1 μ m 以下のアライメント精度が実現される。基板反り②については、チャック自体にシーリング機能を持たせることにより吸着力を変えずに大きな反りに対応させ、また搬送時や露光時の吸着時間を短縮している。③の焦点深度については、

リアルタイムで局所的な段差を読み取り、露光範囲に含まれる段差が焦点深度に相当する 10 μ m 以下に収まるように制御を行っている。同社でリリースするパネル用ステッパ PPS シリーズはこれらの点が考慮されており、52×33mm の広い露光面積と、 $3\sigma < 1.0\mu$ m の高い位置合わせ精度を持ち、高さ 6 μ m・幅 1.2 μ m の配線パターン形成を安定して行うことが可能である。



パッケージ基板市場と大型基板の CMP 技術 グローバルネット株式会社 武野 泰彦氏

LSI プロセスの素子分離や配線形成プロセスに用いられる CMP（化学機械研磨）は、当初は銅やスラリーによる汚染に起因するトランジスタ特性への影響を懸念してその導入を忌避する声が多かったが、結果的に CMP は LSI 微細化のキー技術となった。基板プロセスの分野でも、パッケージ配線の微細化がすすむにつれて、CMP は必須の技術となってきている。LSI の CMP と違うのは、研磨の対象がシリコンや SiO₂ や Low-k 膜などの絶縁膜、配線銅及びバリアメタルだけでなく、有機基板などのポリマー層、セラミックなども対象となり、また面積も大きいなど難易度が高い点である。有機基板の CMP では、基材やソルダレジスト、接着層などポリマーの化学結合を化学的に切断して除去するのが困難であることから、機械研磨を担う研磨剤の選択が重要となる。この点について、釜山大学 Jeong 教授らのチームによる、アルミナ研磨剤とくらべてシリカ研磨材を用いた場合の表面粗さが良好である検討結果が示された。また



Jeong 教授らの大型基板 CMP における添加剤（酸化剤、錯化剤、腐食防止剤）の検討結果と、この知見を元に、従来研磨対象の素材ごとに段階を踏んで行う必要のあった CMP 工程を 1 段階のプロセスとし、コストダウンを可能とする研究結果が紹介された。今後の基板 CMP 量産化課題として、大面積基板の平坦性及び均一性や、フレキシブル基板の搬送、エンドポイントの検出方法、表面トポグラフィのインライン測定の必要性、洗浄方法などが示された。

あとがき

本年は 2 回のシンポジウムを開催し、両シンポジウムとも盛況のうちに終えることができました。今回の第 2 回シンポジウムは関西での開催となりました。当初は大阪開催だと参加人数が少ないかも、という一抹の不安もありましたが、いざふたを開けてみると 40 名に及ぶ方々に参加いただき、実装基板微細化への関心の高さが伺えました。ちなみに参加者の内訳をみると、半数以上の方が首都圏からの参加でした。遠路、ありがとうございました。しかしながら、懇親会でお話を伺った印象では、大阪開催だから参加したという方も少なからずあり、関西で開催した意義はかなり高かったのでは、と感じています。一方で、逆に関西だから参加出来なかった、という関東の会員や、そもそも参加の難しい遠方の会員も多いと思います。地域格差をなるべく小さくすることは今後の課題です。

来年度も皆様に興味を持って頂けるシンポジウムをどしどし企画したいと思いますので、会員各位におかれましては、深掘りしたいテーマがありましたら是非ご提案ください。