



化学工学会エレクトロニクス部会ニュース増刊号をお届けします。

内容は、2023年12月4日に開催されたエレクトロニクス部会主催 先端技術シンポジウムの概要です。

## 情報爆発と省エネの両立に向けた半導体デバイス・プロセスの新潮流

2023年度エレクトロニクス部会シンポジウム（エレクトロニクス先端技術シンポジウム）を、12月4日に会場・オンラインのハイブリッドで開催いたしました。今回のシンポジウムでは、デジタル社会や省エネ、グリーンイノベーションを支える基盤技術としてあらためて注目を集めている半導体技術に関し、最新の政策動向をはじめ、微細化、パッケージ、次世代技術などの観点で5件のご講演をいただきました。

ご参加いただいた参加者の皆様方と講師の先生方、ならびに協賛いただいた電子SI 連絡協議会(ESIC)、表面技術協会、エレクトロニクス実装学会(JIEP)、日本電子回路工業会(JPCA)、スマートプロセス学会 エレクトロニクス生産科学部会(MSTE)、よこはま高度実装技術コンソーシアム(YJC)、NPO 法人サーキットネットワーク(C-NET)、IEEE EPS Japan Chapter の各機関に、この場を借りて御礼申し上げます。

### ■シンポジウムプログラム

講演タイトル	講師	所属
基調講演 情報爆発に伴う諸問題への対応と産業界への期待	金指 壽 様	経済産業省 商務情報政策局 情報産業課 課長
半導体製造用ナノインプリントリソグラフィ技術	伊藤 俊樹 様	キヤノン株式会社 半導体機器事業部 主幹
半導体微細化技術の動向と新しいデバイス構造	若林 整 様	東京工業大学 科学技術創成研究院集積 Green-niX+研究ユニット 教授
チップレット/ヘテロ集積を中心とする 半導体パッケージング技術の動向	福島 誉史 様	東北大学 大学院工学研究科 機械機能創成専攻 准教授
次世代コンピューティングに向けた ニューロモーフィックデバイス	大島 大輔 様	日本アイ・ピー・エム株式会社 東京基礎研究所 セミコンダクター 課長

開催日 2023年12月4日（月）

場所 会場（東工大蔵前会館）+ オンライン（Zoom Webinar）併用開催

オーガナイザ 林 太郎（ローム）、石川 有紀（サンエレクトロニクス）、吉野 雄信（フジクラ）

## ■各講演の概要

### 基調講演 情報爆発に伴う諸問題への対応と産業界への期待

経済産業省 金指 壽 様 (オンライン講演)

生成系 AI の登場等情報処理量の増大に伴い、デジタル社会における産業の競争力強化に向けて、付加価値の源泉となる半導体・デジタル産業基盤の強化が不可欠である。基盤技術としての半導体の強化は 3 段階で推進する。Step1 では IoT 用半導体生産基盤の強化を行い、幅広く産業の DX, GX 面での強化をすすめる。このプロジェクト自体の経済効果として、既に九州では賃金上昇や全国平均を大きく上回る設備投資などが得られている。Step2 では日米連携プロジェクトにより、2nm 世代や beyond 2nm 世代となる次世代半導体技術の獲得を行うとともに、技術研究組合における人材育成をすすめる。Step3 では将来技術として光電融合などゲームチェンジャーとなる将来技術の開発をすすめるとともに、需要の拡大する GaN や Ga<sub>2</sub>O<sub>3</sub> パワー半導体への投資と開発・実用化をすすめる。

政策的な観点では、11 月に第 2 回日米経済政策協議委員会（日米経済版 2+2）閣僚会合を実施し、透明で強靱、且つ持続可能なサプライチェーンの構築についてのタスクフォースに合意した。また AI 関連では、計算資源である GPU の奪い合いとも言える状況を受けて計算資源の確保と基盤モデルの開発加速支援や、競争力のある生成 AI モデルの開発加速支援などを重点課題としてすすめる。

半導体産業への支援として、令和五年度補正予算として経済安保基金、先端半導体、ポスト 5G 等で 2 兆円を成立させており、直近では後工程（2.xD やヘテロジニアスと言った領域）を中心に、長期的な視点でロジック半導体や AI 半導体の開発の他、ハードウェアに加えアーキテクチャに精通した人材の育成、半導体産業にかかる地方自治体へのインフラ整備などへの投資をすすめていく。

### 半導体製造用ナノインプリントリソグラフィ技術

キヤノン株式会社 伊藤 俊樹 様

同社で開発したディスペンサ方式の UV ナノインプリント(NIL)は、EUV や液浸などのフォトリソグラフィと比べてウェハー一枚あたりの処理コストが低く、また微細パターンの形成の他、デュアルダマシンなど 3D 形状の構造を一工程で形成できるなどの特徴がある。NIL では、メサ形状に加工した石英板に電子線描画により加工したパターンを形成し、モールドとして使用する。このメサ部分をダイアフラムとして使用し、押印圧をコントロールしながらレジストにパターン転写を行う。EUV と比較した NIL のメリットは、NIL は反射系など複雑な光学系も不要であり、装置の小型化・低消費電力と言った面で有利となる点である。また EUV では複雑なパターンは不得手であるが、NIL ではモールドを作製できれば、デュアルダマシンなどの多段構造を一括で形成でき、工程数を削減できるなどのメリットがある。一方で、NIL ではモールドがレジストに直接接触することからパーティクルなどの異物影響を受けやすいこと、物理的な接触部に気泡が残しやすいこと、モールド自体が消耗品であること（このため通常はレプリカ版を使用する）、またモールド自体の耐久性が課題となる。これらの課題のうち、パーティクルの混入については、装置内では欠陥の原因となる異物を寄せ付けないエアカーテンシステムや、モールド表面の洗浄技術（定期的なプラズマ洗浄、ウェット洗浄）により解決した。またレジストとモールドの間の未充填欠陥（エアの混入）については、雰囲気気体として、レジストや下地有機層への溶解性が高く、速やかにボイドの消失する CO<sub>2</sub> を使用するとともに、レジスト自体の改良・開発をすすめている。この他、重ね合わせ精度の面では、ピエゾと熱印加によるモールドの物理的な補正によりアライメント・歪み補正の精度を向上しており、これらの改良により、NIL は既に半導体プロセスに適用可能な水準である。また現行機では最大 4 ステーションの並列処理を可能としており、スループットの面でもフォトリソグラフィと比べて大きな欠点はない。現在は一部のユーザによる NAND への適用が進められており、今後 DRAM やロジックへの適用も視野に入れている。



## 半導体微細化技術の動向と新しいデバイス構造

東京工業大学 若林 整 様

ムーアの法則に沿った半導体デバイスの微細化による高性能化・高集積化に伴い、トランジスタの構造にも、従来のプレーナ型 MOSFET から FinFET, GAA-NS(Gate All Around Nano Sheet)や CFET(Complementary FET)などの新しい構造への転換がすすんでいる。ロジック向けでは、7nm の FinFET で EUV の適用が開始されており、5nm, 3nm と微細化が進むにつれて SiGe チャンネルを用いた pMOS や Fin-Flex といった新しい技術・構造が適用されている。しかしながら、フットプリントあたりのパワー密度は微細化によってむしろ高まっている。すなわち従来は微細化により FET の工藤能力を高め、且つ電源電圧を下げてパワー密度の増加を抑制していたが、この進捗に限界が見え始めている。このため、コスト、パワー、スピードと言った面では SRAM などでは微細化が止まったと言っても良い状態であり、これをブレイクスルーする技術が求められる。この問題に対し、ゲート長 5nm 以下では finFET の fin の厚さばらつきがネックとなるため、エピタキシャル成長で形成するナノシートを使用した GAA などの新構造が有力視される。GAA-NS FETs は究極の CMOS 構造と言われるが課題も多く、チャンネルの面方位制御や応力制御、ウェルの形成などが課題として上げられる。



グリーン化の観点では、これ以上の微細化は、SD 間のトンネル効果を考えるとシリコン系の材料では限界が生じている。そこで若林研究室では、 $WS_2$  や  $MoS_2$ ,  $ZrS_2$ ,  $WSe_2$  などをチャンネルに適用した 2D-CFET の研究を行っている。この方法の課題は、エピタキシャルではなく、サファイヤ基板上に CVD 成膜後転写する技術ではあるが、既にトランジスタの動作実証を行っている。将来的にはナノシート化も視野に入れているが、微細化がすすむとパワー密度が高まってしまう点が課題である。すなわち電源電圧を下げることもなく、微細化により駆動力を高めている状態である。これを解消するには、トランジスタの閾値電圧を下げ、且つ電源電圧を下げて必要なモビリティを得られるような新技術が必要であり、今後取り組んで行く。

## チップレット／ヘテロ集積を中心とする先端半導体パッケージング技術の動向

東北大学 福島 誉史 様

### ◇チップレット

半導体デバイスはムーアの法則に従って微細化の進展と多機能化が進められてきたが、IC そのものの微細化は既に限界を迎えている。一つのチップの中に様々な機能を詰め込んだ SoC のサイズは巨大化し続けていることから、その各機能回路を細分化して実装基板上に高密度で集積し、隣り合う、あるいは積層されたチップ間で高効率の通信を行う「チップレット」と呼ばれる設計技術が注目を集めている。通常の有機パッケージに二つ以上のチップをフリップチップ実装したものは 2D パッケージと呼ばれるが、チップレットによりそれ以上の機能を盛り込んだものを 2.xD アーキテクチャと呼び、理想的な異種混載プラットフォームとして開発がすすんでいる。具体的な例としてサーバ用マイクロプロセッサなど、各社で 2.xD の提案と実用化が進められている。

### ◇ハイブリッドボンディング

はんだマイクロバンプの微細化が進展しているが、一方で放熱の観点からも、チップとウェハ間の Cu-Cu のダイレクトボンディングが注目される。Cu-Cu/SiO<sub>2</sub>-SiO<sub>2</sub> ハイブリッド接合は、CMP によりディッシングした状態の Cu/SiO<sub>2</sub> 表面をプラズマで活性化し、圧接と昇温により接続する技術である。接続信頼性を高めるために、ハイブリッドボンディングでは、FEOL では許容される 4-5nm 以下でのディッシング制御が求められるが、各機関で改良がすすめられ、実際にプロセッサへの適用が行われている他、TSV 付き DRAM の多段積層への適用が進められている。東北大学では、Cu/SiO<sub>2</sub> のハイブリッド接合の他、Cu/有機絶縁膜のハイブリッド接合の開発を行っている。有機絶縁膜の利用は、接合を阻害するパーティクルを柔らかい絶縁膜中に取り込む



ことが出来るなど歩留まり向上面で有利であり、このため CMP のディッシング制御要件を緩和できる。

この他、東北大学で取り組むヘテロ集積技術を応用した皮膚に貼り付ける血管可視化ディスプレイや、東北大学と東北マイクロテック(T-Micro)で運用する 300mm ウェハを用いた 3D-IC 研究開発・試作拠点 GINTI の紹介が行われた。

## 次世代コンピューティングに向けたニューロモフィックデバイス

日本アイ・ビー・エム株式会社 大島 大輔 様

ディープラーニングと呼ばれる大量のデータから特徴を見つけ出す機械学習の一手法では、ニューラルネットワークと呼ばれる脳の神経回路を模した数理モデルが適用される。ニューラルネットワークを多層化することにより重み付けを行ったデータによる演算を繰り返す必要があるが、この際に、多くの積和演算が行われる。このとき、モデルとデータをスケールアップすると、より深化した学習を行うことが可能となるが、その演算量は膨大となり、近年ではムーアの法則を遙かに上回るレベルの 3.5 ヶ月で演算量が倍増している状態である。複雑で肥大化したモデルでは計算時間が大幅に増加してしまい、またその分 CO<sub>2</sub> も多く排出される。AI によって生活を豊かにする一方で、地球に負担をかけるなど相反するジレンマが生じている。

ディープラーニングで行う積和演算は、いわゆる AI で行われる演算量の 80% を占めており、計算速度の面からも、また地球環境の面からも積和演算に特化した効率化が求められる。IBM では、ニューロモフィックと呼ばれる、脳のニューラルネットワークを模した並列演算をハードウェアで行うチップの開発をすすめており、GPU で行う積和演算の代替と全体の効率化を目指している。IBM のニューロモフィックでは、相変化メモリを用いたアナログ方式の積和演算を並列で実装することにより、並列の積和演算を行うことを目指す。相変化メモリは結晶状態とアモルファス状態の違いを不揮発メモリとして利用する成熟した技術である。これを用いて実現する AI アクセラレータでは、アナログベースとすることでバスを経由したメモリと演算器間のデータ転送が不要となり、高スループット化出来ることに加え、不揮発メモリである相変化メモリを用いることでデータの保持に電力を必要としない。すなわちアナログ値を電力不要で保持し、またセル面積を小さくできるなど、消費電力面やコスト面でのメリットが大きい。これをシステム化することで、相変化メモリを用いた AI アクセラレータは既存の GPU の積和演算を代替することが可能となる。一方で、AI アクセラレータパッケージの実現には、局所的な超高密度配線が必要となり、また異なったランドルールが配線及び接合に適用されるなどパッケージ面での難しさがある。また複数部品のインテグレーションを一括でデザインするなど設計上の難しさもある。IBM で提案している DBHi (direct bonded hetero-genius integration) と呼ばれるシリコンブリッジ基板は、座繰りを入れた基板にチップを埋めるように実装するものであり、広いバンド幅や低消費電力等の性能面でのメリットの他、有機基板の歩留まりが微細配線層に依存しない点、標準的な FCA パッドピッチの基板を使用でき、既存のサプライチェーンでも対応できる点など製造上のメリットも大きい。



■あしがき

シンポジウム「情報爆発と省エネの両立に向けた半導体デバイス・プロセスの新潮流」、いかがでしたでしょうか。日本の半導体が元気だった平成初期の頃はプレーナ型の MOS トランジスタの改良が特性向上の中心でしたが、令和の今はトランジスタだけでなく、パッケージも含めて 3 次元化・新構造が不可欠であることがあらためて認識出来ました。また半導体の復活・躍進は日本が再び成長期に入る鍵と位置づけられ、昨年のシンポジウムで採り上げた自動車と並び注目も影響も大きな産業です。その分国からの期待も大きく、また AI や 5G・6G など新しいアプリケーションの登場を追い風として、各社・各研究機関で精力的な取り組みが進められています。今回 84 名と多くの方に参加いただいたことから明らかに実際に注目も大きく、今後の発展に期待したいと思います。

シンポジウムご参加の皆さま、ならびに講師の先生方に、あらためて御礼申し上げます。

★ご案内

今回、4 年ぶりにシンポジウム後の交流会（懇親会）を復活し、多くの参加者の方と講師の方の交流の場を設けることができました。一方で今回は半数以上の方がオンラインでのご参加となりました。交流会には参加できなかったが講師の方にご挨拶やご質問・ご提案等のご希望がある場合、事務局までメールにてご連絡ください。

化学工学会 エレクトロニクス部会 [div\\_electro@scej.org](mailto:div_electro@scej.org)  
<https://scej-ele.org/>